



ITW

XA-10077
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Hirotsugu KOJIMA et al.

Appln. No.: 10/823,581

Group Art Unit: 2818

Filed: April 14, 2004

For: SEMICONDUCTOR INTEGRATED CIRCUIT AND ELECTRONIC
SYSTEM

* * *

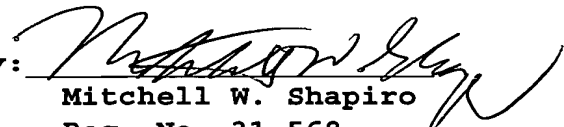
CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicants hereby claim the priority of Japanese
Patent Application No. 2003-182258 filed June 26, 2003, and
submit herewith a certified copy of said application.

Respectfully submitted,

By: 
Mitchell W. Shapiro
Reg. No. 31,568

MWS:lat

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, Virginia 22102-3833
(703) 903-9000

July 23, 2004

CERTIFIED COPY OF
PRIORITY DOCUMENT

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 2 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 8 2 2 5 8
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 8 2 2 5 8]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 4 年 4 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫

【書類名】 特許願

【整理番号】 H03003441

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ
 ステクノロジ内

 【氏名】 小島 浩嗣

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ
 ステクノロジ内

 【氏名】 北村 晃男

【特許出願人】

 【識別番号】 503121103

 【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

 【識別番号】 100085811

 【弁理士】

 【氏名又は名称】 大日方 富雄

【手数料の表示】

 【予納台帳番号】 027177

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路および電子システム

【特許請求の範囲】

【請求項 1】 書替え可能な不揮発性メモリとテスト用インタフェース回路を備えた半導体集積回路であって、

上記不揮発性メモリに、電子部品もしくは素子のばらつきに起因して生じる回路特性のずれを補正するための調整用データを、上記テスト用インタフェース回路を介して書き込むことができるように構成されていることを特徴とする半導体集積回路。

【請求項 2】 上記不揮発性メモリに記憶されている調整用データもしくはそれを DA 変換した値を出力する端子を有することを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 プログラムの命令に従って制御を行なう制御用のマイクロプロセッサと、該マイクロプロセッサによって実行される上記プログラムを格納するプログラムメモリとを備え、

上記不揮発性メモリに記憶されている調整用データが上記マイクロプロセッサによって読出し可能に構成されていることを特徴とする請求項 1 又は 2 に記載の半導体集積回路。

【請求項 4】 上記電子部品は水晶発振子であり、上記調整用データは上記水晶発振子を含む発振回路の発振周波数を調整するデータであることを特徴とする請求項 1～3 のいずれかに記載の半導体集積回路。

【請求項 5】 電子部品と、

第 1 の不揮発性メモリと、プログラムの命令に従って制御を行なう制御用のマイクロプロセッサと、該マイクロプロセッサによって実行される上記プログラムを格納する第 2 の不揮発性メモリとを備え、上記電子部品のばらつきに起因して生じる回路特性のずれを補正するための調整用データが上記第 1 の不揮発性メモリに格納されるようにされた第 1 の半導体集積回路と、
が 1 つの基板上に実装され、

上記第 1 の不揮発性メモリに格納された上記調整用データが書替え可能に構成

されていることを特徴とする電子システム。

【請求項 6】 上記調整用データを、上記基板に設けられたテスト兼用端子を介して上記第 1 の不揮発性メモリに書き込むことができるように構成されていることを特徴とする請求項 5 に記載の電子システム。

【請求項 7】 上記第 1 の半導体集積回路はテスト用インタフェース回路を備え、上記調整用データは上記テスト用インタフェース回路を介して上記第 1 の不揮発性メモリに書き込むことができるように構成されていることを特徴とする電子システム。

【請求項 8】 上記第 2 の不揮発性メモリはマスク ROMであることを特徴とする請求項 5～7 のいずれかに記載の電子システム。

【請求項 9】 上記電子部品は水晶発振子であり、上記調整用データは上記水晶発振子を含む発振回路の発振周波数を調整するデータであることを特徴とする請求項 5～8 のいずれかに記載の電子システム。

【請求項 10】 上記水晶発振子と共に発振回路を構成する素子が形成された第 2 の半導体集積回路を備え、

上記第 2 の半導体集積回路で生成されたクロック信号が基準クロック信号として上記第 1 の半導体集積回路に供給されるように構成されていることを特徴とする請求項 9 記載の電子システム。

【請求項 11】 上記第 1 の半導体集積回路は通信のためのベースバンド信号処理を行なうベースバンド用半導体集積回路であり、上記第 2 の半導体集積回路は送受信機能を有する高周波用半導体集積回路であることを特徴とする請求項 10 に記載の電子システム。

【請求項 12】 書替え可能な不揮発性メモリとテスト用インタフェース回路を備えた半導体集積回路であって、

上記不揮発性メモリに、電子部品もしくは素子のばらつきに起因して生じる回路特性のずれを補正するための調整用データと該半導体集積回路に固有のデータを、上記テスト用インタフェース回路を介して書き込むことができるように構成されていることを特徴とする半導体集積回路。

【請求項 13】 上記電子部品は水晶発振子であり、上記調整用データは上

記水晶発振子を含む発振回路の発振周波数を調整するデータであることを特徴とする請求項 1 2 に記載の半導体集積回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体集積回路（以下、I C と記すこともある）の外付け電子部品もしくは素子のばらつきによる回路特性のずれの調整特に振動子を有する発振器の周波数ばらつきの調整に適用して有効な技術に関し、例えばブルートゥース通信規格の通信制御用 I C やそれを用いた通信システムに利用して特に有効な技術に関する。

【0 0 0 2】

【従来の技術】

無線通信規格の 1 つにブルートゥースと呼ばれ、2 . 4 G H z ~ 2 . 4 8 G H z の周波数帯を使用し短距離無線通信を行うものがある。ブルートゥース規格の無線通信システム（ブルートゥースシステムと称する）は、一般に、信号の送受信や変復調機能を有する高周波 I C や、送信データに基づいて、たとえば、I / Q 信号を生成するベースバンド処理、受信データのベースバンド処理、乃至、高周波 I C の制御信号を生成したりするベースバンド L S I （大規模半導体集積回路）、制御用プログラム（ユーザプログラム）を記憶する R O M （リードオンリメモリ）乃至 E E P R O M （電氣的に消去及び書き込み可能なリードオンリメモリ）のような不揮発性メモリを含むプログラムメモリなどから構成されている。

【0 0 0 3】

ブルートゥースシステムでは、リンクコントローラと呼ばれる機能回路により通信相手の機器と相互通信接続を行うための制御が行なわれる。また、ブルートゥース通信では、マスター機器とスレーブ機器との間でクロックの同期をとるとともに通信接続を確立するために、ブルートゥースクロックと呼ばれる 3 . 2 k H z のクロック信号に基づき、3 . 2 k H z の 2 倍の周期（6 2 5 μ s）でパケットデータの交換が行なわれる。

相互通信接続の確立時には、それぞれのリンクコントローラが、自分のブルート

マスタ側のクロックと相手機器のブルートゥースクロックのずれ量を割り出し、スレーブ側のリンクコントローラがクロックのずれを補正して通信制御を行う。これにより、マスタ側とスレーブ側との通信動作が互いに同期される。ブルートゥースの規格においては、上記 3. 2 k H z のブルートゥースクロックに対して ± 20 p p m の周波数精度が要求されており、一般には 8 M H z や 1 3 M H z のような基準クロックを分周することにより生成されている。

【0 0 0 4】

従来、ブルートゥースシステムでは、基準となる 8 M H z や 1 3 M H z のようなクロックを生成するため、容易に入手可能な振動子の中でも比較的精度の高い水晶発振子が一般に用いられている。しかしながら、水晶発振子を用いた発振器といえども、発振子がもともと持っている製造バラツキに加えて、実装基板の寄生容量や発振子と共に接続される容量素子の製造バラツキ、温度変化や電源電圧変動により、発振周波数が所望の値からずれてしまうという問題点がある。

【0 0 0 5】

振動子を用いた発振器における周波数ずれを補正する技術として、例えば発振器に可変容量ダイオードを接続するとともに、予め測定により検出したばらつきを補正するトリミングデータを記憶する不揮発性メモリ（E E P R O M）を設け、該不揮発性メモリから読み出したトリミングデータを D A 変換器でアナログ電圧に変換して上記可変容量ダイオードに印加して、その容量値を変化させることで発振器の発振周波数をゼロ調整するようにした発明が提案されている（特許文献 1 参照）。

【0 0 0 6】

【特許文献 1】

特開平 1 0 - 4 1 7 4 6 号公報

【0 0 0 7】

【発明が解決しようとする課題】

本発明者等は、ブルートゥースシステムにおいては、ユーザプログラムを記憶するため E E P R O M のような不揮発性メモリが用いられていることに着目し、該 E E P R O M を、基準クロックを生成する水晶発振器の発振周波数のずれを補

正するためのトリミングデータを保持する不揮発性メモリとして利用するようにした図9に示すようなシステムについて検討した。

【0008】

図9において、符号100が付されているのは高周波IC、200はベースバンドLSI、400は不揮発性メモリ、XTALは水晶振動子、DVは可変容量ダイオードである。水晶振動子XTALを含む水晶発振器120は高周波IC100側に設けられ、トリミングデータをDA変換して上記可変容量ダイオードDVに印加するアナログ電圧を生成するDA変換器250はベースバンドLSI200内に設けられている。高周波IC100とベースバンドLSI200と不揮発性メモリ400はセラミック基板のような1つの基板上に実装され、モジュールとして構成される。

【0009】

図9に示すシステムにおいては、不揮発性メモリ400にユーザプログラムを格納するようにされる。そのトリミングデータは、システム実装後に初めて測定可能となるのが一般的であるので、トリミングデータとユーザプログラムとあわせて上記不揮発性メモリ400に書き込もうとすると、図9に示されているように、高周波IC100とベースバンドLSI200と不揮発性メモリ400を1つの基板上に実装した状態で実行せざるを得ない。このような実装状態で、不揮発性メモリ400にユーザプログラムを格納する方法としては、ベースバンドLSI200内のCPU220により不揮発性メモリ400に書き込みを行なう方法と、別個の装置により不揮発性メモリ400への書き込みを行なう方法とが考えられる。

【0010】

しかし、ベースバンドLSI200内のCPU220によらず別個の装置により不揮発性メモリ400への書き込みを行なうには、CPU220と不揮発性メモリ400とを電氣的に切断する仕組みと、モジュールの基板に書き込みのためのアドレスやデータを入力するための端子とを設ける必要があるが、モジュールに設けることができる外付け回路や端子数には物理的な制約があるため、実現が困難であることが分かった。モジュールにあえてかかる外付け回路や端子を設けると

、モジュールのサイズが大きくなってシステムの小型化を妨げる要因となる。

【0 0 1 1】

また、ベースバンド L S I 2 0 0 内の C P U 2 2 0 により不揮発性メモリ 4 0 0 に書込みを行なう方法にあっては、モジュール外部からベースバンド L S I 2 0 0 内の C P U 2 2 0 へ、不揮発性メモリへの書込み指令と書き込むべきプログラムをシリアル転送等で送ってから書込みを実行する必要がある。そのため、一般的な E E P O R M ライタによる書込みに比べて不揮発性メモリの書込みに必要な時間が非常に長くなり、例えば 2 M バイトのフラッシュメモリの場合で約 3 0 秒近くかかってしまい、量産性が低く製造コストが高くなるという課題がある。

【0 0 1 2】

さらに、図 9 に示す無線通信システムにあっては、不揮発性メモリ 4 0 0 に格納されるプログラムが通信処理に必要なプログラムであるため、携帯電話器などの実装置に組み込まれた後に、通信処理を実行しながら発振器の周波数調整のためのトリミングデータや通信パラメータを不揮発性メモリに書き込んだり書き換えたりすることが困難であるという課題がある。

【0 0 1 3】

本発明の目的は、外部端子数を増加させることなく不揮発性メモリへのトリミングデータの書込みを可能とし、これによりチップおよびモジュールの小型化を図ることができる通信制御用半導体集積回路およびそれを用いた無線通信システムを提供することにある。

本発明の他の目的は、不揮発性メモリへの書込みに要する時間を短縮して量産性を高め、製造コストを低減することが可能な通信制御用半導体集積回路およびそれを用いた無線通信システムを提供することにある。さらに、本発明は、通信制御用半導体集積回路や無線通信システム以外の半導体集積回路や電子システムに適用できる技術を提供する。

本発明のさらに他の目的は、通信処理を実行しながら発振器等の外付け電子部品のばらつきによる回路特性のずれを補正するためのデータやシステムに固有のデータを不揮発性メモリに書き込んだり書き換えたりすることが可能な通信制御用半導体集積回路およびそれを用いた無線通信システムを提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

【0014】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、半導体集積回路内部に書換え可能な不揮発性メモリを設け、電子部品を含む回路の特性を測定してその特性ばらつきを補正するためのトリミングデータを上記不揮発性メモリに記憶させるようにした。また、上記トリミングデータを上記不揮発性メモリへ送って記憶させるための入力ピンおよびインタフェース回路として、テストピンのような半導体集積回路にもともと設けられているピンおよびテスト用インタフェース回路を兼用するようにした。兼用インタフェース回路としては、例えば JTAG (Joint Test Action Group) により決定されたバウンダリスキャンテストに関する規格で規定されている TAP (Test Access Port) と呼ばれる JTAG インタフェース回路がある。

【0015】

上記した手段によれば、外部端子数や外付け回路を増加させることなく不揮発性メモリへのトリミングデータの書替えが可能となり、これによりチップおよびモジュールの小型化を図ることができるとともに、使用中に回路の特性が変化した場合にもトリミングデータを書き替えることができるようになる。なお、本発明によれば、電子部品のばらつきのみならず回路を構成する素子のばらつきに起因して生じる回路特性のずれも補正することができる。

【0016】

さらに、半導体集積回路内部に書換え可能な不揮発性メモリを設け、電子部品を含む回路の特性を測定してその特性ばらつきを補正するためのトリミングデータを上記不揮発性メモリに記憶させる一方、この半導体集積回路を組み込んだシステムを制御するプログラムは、マスク ROM や電氣的に消去及び書き込み可能な不揮発性メモリ（電氣的に消去及び書き込み可能な ROM (EEPROM) またはフラッシュメモリ）等のプログラムメモリに格納するようにした。このマス

クROMはオンチップのROMでも良いし、別個のチップとして形成されたものでも良い。

【0017】

上記した手段によれば、プログラムを不揮発性メモリに書き込む処理が不要になるため、不揮発性メモリへの書込みに要する時間を短縮して量産性を高め、製造コストを低減することが可能になる。プログラムを格納するマスクROMを別個のチップとして形成し、該マスクROMと前記不揮発性メモリを内蔵する半導体集積回路とを搭載したシステムにおいては、上記トリミングデータを上記不揮発性メモリへ送って記憶させるための入力ピンおよびインタフェース回路として、テストピンのような基板にもともと設けられているピンやそのインタフェース回路を兼用するようにする。これによりモジュールの小型化を図ることができる。

【0018】

さらに、半導体集積回路内部に書換え可能な不揮発性メモリを設け、電子部品を含む回路の特性を測定してその特性ばらつきを補正するためのトリミングデータと、該半導体集積回路が組み込まれるシステムに固有のデータとを上記不揮発性メモリに記憶させるようにした。また、上記トリミングデータとシステムに固有のデータを上記不揮発性メモリへ送って記憶させるための入力ピンおよびインタフェース回路として、テストピンのような半導体集積回路にもともと設けられているピンおよびそのインタフェース回路を兼用するようにした。

【0019】

上記した手段によれば、外部端子数を増加させることなく不揮発性メモリに格納されるトリミングデータとシステムに固有のデータを書き替えることが可能となり、これによりチップおよびモジュールの小型化を図ることができるとともに、半導体集積回路がモジュール基板に実装された状態で必要なデータを書き込んだり、システム構成や動作モードが変更になったような場合にもそれに応じてデータを書き替えたりすることができるようになる。

【0020】

【発明の実施の形態】

以下、本発明の好適な実施例を図面に基づいて説明する。

図 1 は、本発明をブルートゥースのような無線通信システムに適用した場合のシステム構成例を示すブロック図である。

図 1 の実施例の無線通信システムは、送信信号の変調や受信信号の復調、送受信信号の周波数変換を行なう高周波 I C 1 0 0、ベースバンド処理や高周波 I C 1 0 0 の制御を行なうベースバンド L S I 2 0 0 などから構成されている。これらの半導体チップとその外付け素子が、チップ間を接続する配線が形成されたセラミック基板のような基板上に実装されて、通信用モジュール 3 0 0 として構成されている。

【 0 0 2 1 】

図示しないが、高周波 I C 1 0 0 には、送信系回路と受信系回路が設けられる。図 1 においては、送信系回路と受信系回路を一体にしたものが高周波回路 1 1 0 として示されている。この実施例では、アンテナ A N T を駆動して送信を行なうパワーアンプ（高周波電力増幅回路）は示されていないが、パワーアンプが必要な場合には、高周波 I C 1 0 0 とアンテナ A N T との間にパワーアンプやそのバイアス回路、インピーダンス整合回路、送受信切替えスイッチ等を有するモジュールが接続される。

【 0 0 2 2 】

図 1 に示されているように、この実施例の無線通信システムにおいては、高周波 I C 1 0 0 の外部端子 P 1, P 2 に水晶振動子 X T A L と容量 C 1, C 2 が接続され、チップ内部のインバータ I N V および抵抗 R 1, R 2 とにより水晶発振回路 1 2 0 が構成されている。特に制限されるものでないが、外付けの水晶振動子 X T A L としては、例えば 1 3 M H z のような固有振動数を有する振動子が用いられている。この実施例においては、水晶発振回路 1 2 0 に可変容量ダイオード D V が設けられており、この可変容量ダイオード D V への印加電圧を変えることで発振周波数を調整できるようにされている。

【 0 0 2 3 】

そして、この実施例の高周波 I C 1 0 0 には、上記水晶発振回路 1 2 0 で生成された 1 3 M H z の発振信号を基準信号とし通信に使用される高周波信号を発生

する高周波源として機能するPLL回路などからなる通倍回路130が設けられている。また、水晶発振回路120で生成された13MHzの発振信号は、基準クロック信号 ϕ_c として外部端子P3からベースバンドLSI200へも供給されるように構成されている。

【0024】

なお、図1の実施例においては、水晶発振回路120を構成する容量C1、C2と可変容量ダイオードDVとして外付け素子が用いられているが、これらの素子を高周波IC100のチップ内部に設けることも可能である。

ベースバンドLSI200は、送信データに基づいて高周波IC100へ送る例えば、I/Q信号を生成したり高周波IC100で復調された受信信号から受信データを抽出したりするベースバンド処理回路210、制御用のマイクロプロセッサ(CPU)220、該CPU220が実行するプログラムが格納されたプログラムメモリとしてのマスクROM230、EEPROMやフラッシュメモリなどからなる不揮発性メモリ240、デジタル信号をアナログ信号に変換して外部端子P4からチップ外部へ出力するDA変換回路250、これらの回路ブロック間のデータ転送を可能にする内部バス260、テスト用のインタフェース回路270、パワーオン検出回路280などから構成されている。

【0025】

上記マスクROM230の記憶容量は数Mバイト程度、不揮発性メモリ240は数kバイトあるいはそれ以下の小容量とされる。また、マスクROM230は、電氣的に消去及び書き込み可能な不揮発性メモリ（電氣的に消去及び書き込み可能なROM(EEPROM)またはフラッシュメモリ）によって形成されてもよい。また、マスクROM230は別チップとして構成されても良い。すなわち、トリミングデータが格納されるメモリと、プログラムが格納されるプログラムメモリとが異なるメモリとされている。図示しないが、ベースバンドLSI200内には、通信相手の機器と相互通信接続を行うための制御を行なうリンクコントローラと呼ばれる機能回路も設けられる。

【0026】

本実施例では、上記テスト用のインタフェース回路270として、JTAGに

より決定されたバウンダリスキャンテストに関する規格で規定されている J T A G インタフェースが用いられている。さらに、該インタフェース回路 270 が接続された外部端子 P 5 は、モジュール 300 に設けられているテスト用端子 P 11 に接続されている。従って、この実施例では、ベースバンド L S I 200 の外部端子 P 5 とモジュール 300 側のテスト用端子 P 11 とは 1 : 1 で対応している。図 1 には、インタフェース回路 270 に接続された外部端子が P 5 として 1 つだけ示されているが、実際にはこの外部端子 P 5 は後述のように 5 本ある。

【0027】

本実施例の無線通信システムにおいては、高周波 I C 100 やベースバンド L S I 200 がモジュール基板に実装された状態で、水晶発振回路 120 の発振周波数を測定し、周波数のずれを補正するのに必要なトリミングデータがベースバンド L S I 200 内の上記不揮発性メモリ 240 に記憶されるように構成されている。

【0028】

そして、C P U 220 は電源投入時にパワーオン検出回路 280 から供給されるパワーオンリセット信号またはチップ外部から端子 P 6 にリセット信号 R E S が入力されると、不揮発性メモリ 240 から該トリミングデータを読み出して、内部バス 260 を介して上記 D A 変換回路 250 へ送る。すると、そのトリミングデータがアナログ電圧に変換されて、その出力電圧が外部端子 P 4 および抵抗 R 3 を介して水晶発振回路 120 の可変容量ダイオード D V に印加されて発振周波数が調整される。

【0029】

D A 変換回路 250 には、不揮発性メモリ 240 から読み出されたトリミングデータを保持するレジスタ 251 が設けられている。不揮発性メモリ 240 に格納されているトリミングデータを、内部バス 260 を介して上記 D A 変換回路 250 に供給する代わりに、図 1 に矢印 A で示すように、直接 D A 変換回路 250 に供給するようにしてもよい。この場合、不揮発性メモリ 240 の構成によっては、D A 変換回路 250 内にレジスタ 251 を設けなくてもよいようにすることができる。

【0030】

図1に示されているようなブルートゥース規格の通信が可能なシステムを搭載したデバイスにおいては、デバイス間で通信の同期をとるために、 312.5μ 秒(3.2kHz)刻みで動作するブルートゥースクロックと呼ばれる共通の時計によって時間管理を行なうこと、およびそのクロックの精度を $\pm 20\text{ppm}$ 以内に収めることが、ブルートゥースの規格により規定されている。

【0031】

このように、ブルートゥース通信システムにおいては、基準となるクロック信号に要求される精度が非常に高いため、上記実施例のように、水晶発振回路120の周波数を調整する機能が必要とされる。図1のシステムでは、ブルートゥースクロックを刻むためのクロック信号は、水晶発振回路120で生成された 13MHz の発振信号 ϕ_c をベースバンドLSI200側の分周回路(図示略)で分周することによって形成される。

【0032】

なお、実施例では、チップに内蔵された不揮発性メモリ240に水晶発振回路120のトリミングデータを格納するとしたが、それ以外にも例えばIDコードなどのアプリケーションデータを、チップ外部からあるいはCPUが直接不揮発性メモリ240に格納することができる。また、不揮発性メモリ240には、全製品毎に異なる固有の識別コード与えるためのMAC(Media Access Control address)アドレスを格納するようにすることができる。さらに、実施例においては、水晶発振回路120の発振周波数を調整するDA変換回路250がベースバンドLSI200内に設けられているが、DA変換回路250をチップ外部に設け、ベースバンドLSI200からトリミングデータをデジタル値のまま出力させるように構成することも可能である。

【0033】

次に、ブルートゥース通信により実現されるネットワークにおける時間管理について説明する。

図4は、ブルートゥースにより互いにデータ通信可能に接続されたピコネットと呼ばれるネットワークの構成例を示す。1つのピコネットは、1台のマスタ機

器に対して最大7台のスレーブ機器が接続可能なネットワークである。図4のピコネットは、マスタ機器としてのPDA (Personal Digital Assistant) 610と、スレーブ機器としての携帯電話機620、ヘッドセット630およびデジタルカメラ640とにより構成されている。

【0034】

マスタ機器は、アクティブなスレーブ機器に対してアクティブメンバアドレスを交付してスレーブ機器との間の通信を管理するとともに、ブルートゥースクロックの同期管理を行なう。図3には、マスタ機器とスレーブ機器との間におけるブルートゥースクロックの同期の取り方が示されている。

【0035】

マスタ機器は同期処理の前に、近隣に存在するアクティブなスレーブ機器を認知するために、先ずIQパケットと呼ばれる問合せパケットを一律に送信するブロードキャスト（放送）を行ない、該送信に応じてスレーブ機器から返送されるFHSパケットと呼ばれる応答パケットを受信して、ピコネットに参加するスレーブ機器を把握する。スレーブ機器では、マスタ機器からの問合せ信号がないかスキャンする処理が行われており、このスキャン処理によりスレーブ機器がマスタ機器側からの問合せ信号を受信できた場合に、スレーブ機器はマスタ機器へ応答パケットを送信する。

【0036】

次に、マスタ機器は、図3に示されているような個々のスレーブ機器の呼び出し処理を順次行なう。呼び出し処理では、マスタ機器がピコネット内のアクティブなスレーブ機器に対して順番に、先ず機器を識別するためのIDコードが入ったIDパケットを送信してそれに対する応答IDパケットを受信したなら、ブルートゥースクロックの同期とアドレス交換のためのFHSパケットを送信し、その応答パケットの受信を行なう。

【0037】

FHSパケットの交換により、スレーブ機器が自己のブルートゥースクロックをマスタ機器のブルートゥースクロックに合わせることによって、1つのピコネットに参加するすべての機器間でブルートゥースクロックの同期が取られる。な

お、ブルートゥース通信では、3. 2 k H z のブルートゥースクロックの2クロック期間（6 2 6 μ s）を1スロットとして、このスロットごとにマスタ機器とスレーブ機器との間で交互にパケットデータを送受信することで通信が行なわれる。

【0 0 3 8】

図2は、図1に示されているベースバンドLSI内のJTAGインタフェース回路270の具体例を示す。

JTAGインタフェース回路270は、IEEE 1149. 1規格で規定されているIC内部のシフトスキャンテストやIC間のバウンダリスキャンテスト回路のためのインタフェースを行なう回路である。

【0 0 3 9】

JTAGインタフェース回路270は、外部からシリアルに入力されるテストデータやコマンドを取り込んだりチップ内の回路ブロックからのテスト結果データをチップ外部へシリアルに出力するためのTAP（Test Access Port）とされるコマンド・データ入出力回路710と、該入出力回路710を制御するTAPコントローラ720と、コマンド／データ入出力回路710により取り込まれた命令（コマンド）を解釈し上記命令に対応するテスト制御を行なうテスト制御部730とから構成される。

【0 0 4 0】

TAPコントローラ720は、3つの専用外部端子501～503に接続され、これらの端子501～503から、テストモードを指定するためのテストモードセレクト信号TMS、テスト用クロックTCK、非同期リセット信号TRSTがそれぞれ入力可能に構成されている。TAPコントローラ720は、これらの信号TMS、TCK及びTRSTの信号レベルに基づいてコマンド・データ入出力回路710内のレジスタ711～715やマルチプレクサ716を制御する制御信号を形成する。

【0 0 4 1】

コマンド／データ入出力回路710は、入力ポート用端子504からのテストデータを出力ポート用端子505へシフトするときに使用するバイパスレジスタ

711、入出力データのシリアル／パラレル変換を行なうシフトレジスタ712、内部のテスト方法を制御するコマンドが格納されるインストラクションレジスタ(SDIR)713、チップ固有の製造識別番号を設定するためのデバイスIDレジスタ(IDCODE)714、各回路ブロックへ特定の信号を伝える場合に使用するデータレジスタ(SDDR)715、バイパスレジスタ711とシフトレジスタ712のパスの切り換えを行なうマルチプレクサ716(MUX)等により構成されている。

【0042】

また、コマンド／データ入出力回路710には、コマンドまたはデータTDIの入力端子504とテスト結果データTDOの出力端子505が設けられており、入力されたテストデータTDIは上記シフトレジスタ712を介して各レジスタ713～715へ供給される。また、コマンド／データ入出力回路710内の上記レジスタ713～715には、スキャンパスを構成する信号線740を介してチップ内の各回路ブロックからの値を格納することができるよう構成されている。

【0043】

テスト制御部730には、上記コマンドデコーダ731およびテストモード判定回路732の他に、他の半導体集積回路との信号のやり取りをテストするためのバウンダリスキャンパスを制御するバウンダリスキャン制御回路733や、シフトスキャンテストの際にスキャンパス上のフリップフロップをシフト動作させるスキャン用クロック信号CK2、CK3およびモニタ信号の取込みを行なわせるラッチ用クロック信号CK1等、テスト用のクロック信号および制御信号を生成するテスト回路734が設けられている。

【0044】

テストコマンドがデータ入力端子504よりコマンド／データ入出力回路710に入力されると、インストラクションレジスタ713に格納され、コマンドデコーダ731がこのコマンドをデコードする。そして、テストモード判定回路732は、コマンドデータ731のデコード結果より、テストモードの種類とどの回路ブロックのテストが実行されるのかを判定し、判定結果に応じて制御信号を

生成する。

【0 0 4 5】

J T A G 規格では、上記インストラクションレジスタ 7 1 3 に設定される命令として、幾つかの必須命令が用意されているが、その他にオプション命令を何個か設けることができるようにされている。この実施例では、そのオプション命令の一つとして上記不揮発性メモリ 2 4 0 へチップ外部から供給されるデータを書き込むための書込みコマンドとベリファイコマンドが設けられる。

【0 0 4 6】

テストモード判定回路 7 3 2 は、コマンドデータ 7 3 1 のデコード結果より、入力コマンドがメモリ書込みコマンドであった場合には、不揮発性メモリ 2 4 0 を有効にするイネーブル信号や書込み制御信号を生成して不揮発性メモリ 2 4 0 へ供給すると共に、データ入力端子 5 0 4 より入力された書込みアドレスおよび書込みデータをチップ内部のスキャンパスを通して不揮発性メモリ 2 4 0 へ転送する。

【0 0 4 7】

入力コマンドがメモリのベリファイコマンドであった場合には、テストモード判定回路 7 3 2 は、不揮発性メモリ 2 4 0 を有効にするイネーブル信号や読出し制御信号を生成して不揮発性メモリ 2 4 0 へ供給し、データ入力端子 5 0 4 より入力された読出しアドレスをチップ内部のスキャンパスを通して不揮発性メモリ 2 4 0 へ転送してデータの読出しを実行させる。そして、不揮発性メモリ 2 4 0 より読み出されたデータを、同じくスキャンパスを通してコマンド／データ入出力回路 7 1 0 へ転送し、データ出力端子 T D O より出力させる。

【0 0 4 8】

また、J T A G インタフェース以外あるいはこれと兼用可能なインタフェースとして、C P U を内蔵した L S I にエミュレータを接続して C P U が実行するプログラムのデバッグを行なうデバックインタフェースがある。デバックインタフェースを用いると、C P U による命令の実行やメモリ空間へのアクセスが可能であるので、上記不揮発性メモリ 2 4 0 を C P U 2 2 0 のメモリ空間に割り当てておいて書込み用高電圧の印加などデータの書き替えに必要な信号の制御を行なえ

るようにすれば、モジュール実装状態でデバッグインタフェースを用いて不揮発性メモリ 2 4 0 にデータの書込みを行なうこともできる。

【0 0 4 9】

上記のように、L S I のテストのためにもともと設けられているインタフェース回路を利用して、不揮発性メモリ 2 4 0 へのトリミングデータ等の書込みを行なえるように構成することにより、専用の外部端子を設けることなく書込みが可能となる。これにより、外部端子数の増加を回避することができ、ひいてはチップサイズおよびモジュールサイズの低減を図ることができる。

【0 0 5 0】

次に、本発明の第 2 の実施例を、図 5 を用いて説明する。

第 2 の実施例は、水晶発振回路 1 2 0 の周波数トリミングデータのうち、上位数ビット（例えば 5 ビット）を不揮発性メモリ 2 4 0 に格納しおいて、下位数ビット（例えば 3 ビット）を C P U 2 2 0 によって設定可能なレジスタ 2 5 2 から与えるようにしたものである。かかる構成によれば、発振周波数が環境に依存して変化するシステムに対しても対応することができる。

【0 0 5 1】

一般に、ブルートゥースシステムでは、図 4 に示すようにマスタ機器 6 1 0 とスレーブ機器 6 2 0 ～ 6 4 0 が各々ブルートゥースクロックを備えていて、互いに同期を取りながら通信を行なう。規格によりどの機器のクロックも $3.2 \text{ kHz} \pm 20 \text{ ppm}$ の精度をもつが、完全に一致させることはできないので、時間が経過するにつれてずれが生じる。従来のブルートゥースシステムでは、クロックがずれても発振回路の周波数を修正することはせず、生じたずれはスレーブ機器側においてクロックの値を変更することで対処していた。したがって、スレーブ機器は定期的にクロックの値を補正する必要があった。

【0 0 5 2】

これに対し、図 5 の実施例のように、発振周波数のトリミングデータのうち下位数ビットをレジスタ 2 5 2 により変更可能であれば、周波数のずれを定量的に算出して発振回路の周波数自体を修正することにより、それ以降はブルートゥースクロックのずれをなくして修正を不要にすることができるという利点がある。

具体的には、例えば最初の同期時点から 1 0 0 万スロット経過した時点でのマスタ機器とスレーブ機器のブルートゥースクロックのずれが 1 スロットであれば、スレーブ機器側で発振回路の周波数を 1 p p m だけ補正するようにトリミングデータの下位数ビットを変更すれば良い。

【0 0 5 3】

これにより、スレーブ機器側のブルートゥースクロックをマスタ機器側のブルートゥースクロックに正確に追従させることができる。図 4 に示されているようなピコネットにおいては、通信品質の維持、向上にとって、周波数の絶対値が正しいことはあまり重要ではなく、マスタとスレーブのブルートゥースクロックの周波数が一致していることが重要である。従って、上記のようにスレーブ側の発振周波数のトリミングデータのうち下位数ビットをレジスタ 2 5 2 により変更することで、通信品質を向上させることができる。

【0 0 5 4】

さらに、温度など使用環境の変化で周波数が大きく変動するようなシステムにおいては、本実施例のようにシステム稼動中に発振周波数を微調整することができる。また、素子の特性が経年変化したような場合、出荷時のトリミングデータでは発振周波数の正確な調整ができなくなるおそれがあるが、レジスタ 2 5 2 の値を変更することで不揮発性メモリ 2 4 0 内のトリミングデータを書き替えなくても発振周波数を所望の値に調整することができるようになる。

【0 0 5 5】

なお、図 5 の第 2 実施例においては、プログラムを格納したマスク ROM 2 3 0 が外付け素子として構成され、内部バス 2 6 0 が接続された外部端子 P 7 に接続されている。図 5 にはテスト用インタフェース回路 2 7 0 が示されていないが、これは図示の都合で省略したもので、この実施例においても、不揮発性メモリ 2 4 0 へのトリミングデータの書込みは、図示しない J T A G インタフェース回路から行なうことができる。

【0 0 5 6】

また、図 5 には、トリミングデータの下位数ビットをレジスタ 2 5 2 から与え

るようにしたものが示されているが、レジスタの代わりに、“0 0 1”，“0 1 0”，……“1 1 1”のような複数の固定コードを与える手段と、CPU 2 2 0 からの指令によりこれらのコードの中から所望のものを選択してDA変換回路 2 5 0 へ供給するセレクタとを設けるようにしても良い。固定コードを与える手段としては、例えばインバータとその入力端子に接続されたプルアップもしくはプルダウンの抵抗とを組み合わせた回路や不揮発性記憶素子を含む論理回路などが考えられる。

【0 0 5 7】

以上、実施例を用いて水晶発振子を有する発振回路の周波数のトリミングについて説明したが、送信信号を増幅するパワーアンプの最大出力電力を調整する制御電圧の生成など、発振子以外の外付けの電子部品の電圧調整を行なう場合は勿論、チップ内部の回路の動作条件の設定やモード変更等にも本発明を利用することができる。

【0 0 5 8】

次に、本発明の他の実施例を説明する。なお、以下に説明する実施例は、ベースバンドLSI 2 0 0 内の不揮発性メモリ 2 4 0 に発振周波数のトリミングデータ以外のデータを記憶するようにしたものである。

【0 0 5 9】

図 6 の実施例は、不揮発性メモリ 2 4 0 に通信状態パラメータや高周波 IC の制御パラメータを格納しておいて、通信開始前にベースバンドLSI 2 0 0 から高周波 IC 1 0 0 内のパラメータ設定レジスタ 1 4 0 へシリアル転送するようにしたものである。ベースバンドLSI 2 0 0 には、不揮発性メモリ 2 4 0 からパラレルに読み出されたパラメータをシリアルデータに変換するパラレルーシリアル変換回路 2 9 0 が設けられている。この実施例は、パラメータが異なる複数の通信モードを有するシステムに用いる場合や、適用されるユーザシステムによって通信パラメータが異なるような場合に有効である。

【0 0 6 0】

なお、この実施例は、第 1 の実施例のように、不揮発性メモリ 2 4 0 に格納したトリミングデータにより高周波 IC 1 0 0 側の水晶発振回路 1 2 0 の周波数を

調整する機能を否定するものでなく、不揮発性メモリ 240 に周波数のトリミングデータと通信パラメータの両方を格納しておくようにすることができる。

【0061】

図 7 および図 8 は、LSI のモードを設定する端子の代わりに、不揮発性メモリ 240 に格納したモード設定データを利用するようにしたものである。Bluetooth ーすの通信システムを例にとって説明すると、高周波 IC として、ベースバンド LSI との間の信号のやり取りの仕方が異なる各社各様のものが複数提供されており、セットメーカーにとっては任意の高周波 IC を選択してベースバンド LSI と組み合わせて使用できるのが便利である。

【0062】

図 7 に示されているベースバンド LSI 200 は、ベースバンド処理回路 210 の高周波 IC とのインタフェース部に、端子の機能や仕様が異なる複数の高周波 IC と接続可能なインタフェースが設けられており、組み合わされる高周波 IC に応じたインタフェースに切り替えるためのセクタ SEL が外部端子 P8 との間に設けられている。そして、このセクタ SEL は、不揮発性メモリ 240 に格納されているモード設定データにより切替えが行なわれるように構成される。しかも、この不揮発性メモリ 240 に格納されているモード設定データによるセクタ SEL の切替えは、第 1 の実施例（図 1）で説明したパワーオン検出回路による電源立上りの検出等により実行されるようにされる。

【0063】

また、この実施例のベースバンド LSI 200 においては、例えばモジュールに搭載されて組み合わされる高周波 IC が決定した段階で、その高周波 IC の端子に応じたインタフェースに切り替えるためのモード設定データを、JTAG インタフェース回路 270 により不揮発性メモリ 240 に書き込むようにする。すると、電源が投入された時点で CPU 220 が、モード設定データを不揮発性メモリ 240 から読み出してセクタ SEL へ送り、接続されている高周波 IC 100 に適したインタフェースや端子機能を選択するように切替えが行なわれる。従って、どのインタフェースや端子機能を使用するか指定するモード設定を行なう外部端子を設ける必要がない。

【0064】

この実施例によれば、従来のベースバンド L S I 200 ではモード設定端子の設定により行なっていた端子機能の選択を不揮発性メモリ 240 への書込みにより行なうことができ、しかも不揮発性メモリ 240 への書込みは L S I にもともと設けられている J T A G インタフェース回路 270 を用いて行なうことができるため、端子数を減らしひいてはチップサイズを低減することができるという利点がある。なお、セクタ S E L には、不揮発性メモリ 240 から読み出されたモード設定データを保持するレジスタ（図示省略）が設けられる。

【0065】

本実施例は、上記のような高周波 I C とのインタフェースの切替えのみでなく、例えば図 8 のように、汎用マイコンあるいは A S S P（特殊用途向け標準 I C）において外部拡張メモリ 410 として、例えば 16 ビットまたは 32 ビットのいずれのメモリに設定するかなど、機能の選択あるいは動作モードの指定などをユーザが自由にできるようにしたい場合にも適用することができる。

【0066】

このようなシステムにおいては、C P U が動作を開始するときにはシステムの状態が確定している必要があるので、前記実施例で説明したように、パワーオン検出回路からのパワーオンリセット信号等により最初に不揮発性メモリ 240 のデータをセクタ S E L に供給して状態を確定させるようにするのが良い。図 8 のシステムでは、C P U 220 が動作を開始するとき外部バス 460 が 16 ビットと 32 ビットのいずれであるか確定しかつそれに応じてセクタ S E L の選択状態が確定していないと、C P U 220 は外部メモリ 410 をアクセスすることすらできない。

【0067】

図 1、図 5、図 6、図 7、図 8 の不揮発性メモリ 240 は、単層ポリシリコンゲートを有する不揮発性メモリとしてのフラッシュメモリで構成されて良い。以下その構成について説明する。

【0068】

図 10 には、フラッシュメモリとされた不揮発性メモリ 240 に含まれる複数

の不揮発性記憶素子のうちの1つの記憶素子1300、外部端子部分P6、P7、P8などに結合された外部入出力回路及びCPU220やベースバンド処理回路210などのロジック回路に含まれるnチャネル型のMISトランジスタの断面構造が概略的に示される。

【0069】

ロジック回路に含まれるMISトランジスタMLGnは、p型半導体基板1200に形成されたp型ウェル領域1210内に形成される。前記P型ウェル領域1210は素子分離領域1230で分離される。MISトランジスタMLGnは、たとえば、膜厚4nmのゲート酸化膜(Tox1)GO1、膜厚200nmのn型ポリシリコン膜からなるゲートGT1、n型領域からなるソースST1、及びn型領域からなるドレインDT1によって構成される。外部入出力回路用のMISトランジスタMIONは、前記p型半導体基板1200に形成されたp型ウェル領域1210内に形成される。P型ウェル領域1210は分離領域1230で分離される。MISトランジスタMIONは、たとえば、膜厚8nmのゲート酸化膜GO2(Tox2)、膜厚200nmのn型ポリシリコン膜からなるゲートGT2、n型領域からなるソースST2、及びn型領域からなるドレインDT2から構成される。

【0070】

フラッシュメモリ240の不揮発性記憶素子1300は、MISトランジスタMFSnとコントロールゲートCGTを構成するカップリング容量電極とによって構成される。即ち、MISトランジスタMFSnは、前記p型半導体基板1200に形成されたP型ウェル領域(p-well)1210内に形成される。P型ウェル領域は前記素子分離領域123で分離される。

【0071】

MISトランジスタMFSnは、n型領域のソースST3、n型領域のドレインDT3、前記ソースST3とドレインDT3nの間のチャンネルの上に設けられた前記膜厚8nmのゲート酸化膜GO3(Tox2)、そして当該ゲート酸化膜GO3の上に配置された前記膜厚200nmのn型ポリシリコン膜からなるフローティングゲートFGTによって構成される。前記コントロールゲートCGTは

前記 p 型半導体基板 1200 に形成された n 型ウェル領域 (n-well) 1220 とされる。n 型ウェル領域 1220 は前記素子分離領域 1230 で分離される。上記 n 型ウェル領域 1220 の上には、前記ゲート酸化膜 G03 を介して前記フローティングゲート FG T の延在部分が重ねられている。

【0072】

図 10 の断面図では、MIS トランジスタ MFS n とコントロールゲート CG T との間でフローティングゲート FG T が途中で途切れている様に図示されているが、実際は、一体的に構成されている。尚、n 型ウェル領域 1220 には、コントロールゲート CG T の電極接続の為に n+ 型領域 2030 が形成される。

【0073】

このように、フラッシュメモリ 240 の不揮発性記憶素子 130 は、単層ポリシリコンプロセス、すなわち、標準的な CMOS 論理回路 LSI を形成する際に利用される標準 CMOS プロセスによって、ロジック回路と同一の半導体基板上に形成可能な構造とされる。したがって、プログラムメモリ 230 がマスク ROM とされるような場合、製造プロセスの追加無く、上記不揮発性記憶素子 130 が形成できるので、特に有効である。

【0074】

プログラムメモリ 230 が EEPROM やフラッシュメモリの様な 2 層ポリシリコンプロセスで形成される場合、図 10 に示される単層ポリシリコンゲートの不揮発性記憶素子 1300 は利用されなくてもよい。この場合、不揮発性記憶素子 1300 は 2 層ゲート構造 (フローティングゲート及びコントロールゲートの 2 層構造) とされて良い。

【0075】

図 11 は、上記図 10 の不揮発性記憶素子 1300 を用いた場合の回路構成を示す。図 12 は、図 11 の回路の書き込み時と読み出し時の動作波形図である。

図 11 において、40 は書き込みのためのデータを蓄積するレジスタ、41 はフラッシュメモリセルとされる不揮発性記憶素子 1300 である。本発明のフラッシュメモリの動作を本図を用いて説明する。

【0076】

まず、SET信号を”H”にしてフラッシュメモリに書き込むべきデータをレジスタ40内のノードNSにセットする。この書き込むべきデータは、例えば、トリミングデータである。

フラッシュメモリにデータを書き込む場合、まずプログラムを許可するPROG信号を”L”にしてデータ信号をMOSトランジスタ42に送り込む。データが”1”であれば、MOSトランジスタ42がオン状態になる。一方、ソースライン信号SLとフラッシュメモリセルのゲートであるコントロールゲートCGにはフラッシュメモリを書き込むために必要な電圧、たとえば、5Vを印加するとフラッシュメモリのトランジスタ44はオン状態になる。

【0077】

また、MOSトランジスタ43のスルーゲートTGにも電圧を印加して、このトランジスタをオン状態にする。このときソースラインSLからMOSトランジスタ44、43、42の経路で電流が流れることになる。この時ドレイン電圧が高い状態で流れる電流により、MOSトランジスタ44のチャンネルにホットエレクトロンが発生し、フローティングゲートであるVfに酸化膜のバリアを超えてエレクトロンが注入される。

【0078】

これにより、MOSトランジスタ44のしきい値電圧が上昇し”1”が書き込まれることになる。書き込みデータが”0”の場合はMOSトランジスタ42がオフ状態であり、この時にはMOSトランジスタ44には電流が流れず、そのしきい値電圧は変化しない。注入されたエレクトロンは、フローティング電極に蓄積されるので、電源を切っても放電せず状態が保持される。

【0079】

一方、読み出し時にはコントロールゲートCGをホットエレクトロンが発生しない”H”の電圧、たとえば1.8Vを印加する。もし、フローティングゲートVfにエレクトロンが注入されていれば、MOSトランジスタ44のしきい値電圧が高くなっているので、オンしない。エレクトロンが注入されていなければ、しきい値が低いままなのでオンする。読み出し時には、/READ信号により、PMOSトランジスタ46をオン状態にする。また、スルーゲートTGにも所定の電圧を印加

してMOSトランジスタ43をオンにする。このとき、データが”1”の時であれば電流がながれず、bit端子電圧が高くなり”H”を出力する。また、データが”0”の時であれば電流が流れて、bit端子電圧が低くなり”L”を出力することになる。

なお、本実施例においては、図11で示すように、書き込みのために高電圧が印加されることのあるMOSトランジスタ43, 44, 45には高耐圧のMOSトランジスタを用いている。

【0080】

以上のようなフラッシュメモリ41とその回路により、電氣的な書き込みと読み出しが行われる。

【0081】

図13及び図14は、図11に示される回路に対してフラッシュメモリセル41の読み出し時の確実性、信頼性を高めたものであって、図13はプログラムビットの回路の実施例であり、図14はフラッシュメモリセル部のレイアウトの実施例である。

【0082】

フラッシュメモリセル41は、フローティング電極（ゲート）Vfに電子を蓄積することによってデータを保持する。本発明の場合、フローティング電極も通常のMOSトランジスタのゲート電極と同じ構造のゲート電極を用いるために、ゲート酸化膜にはエレクトロンの蓄積のために特殊な酸化膜は用いない。しかし、そのために素子によっては、酸化膜のリーク電流が大きく、蓄積された電荷が酸化膜を等して抜けてしまうことが考えられる。本実施例においては、このような状況を鑑み、フラッシュメモリセル2セルを用いて1ビットに構成して信頼性を高めた方式である。

【0083】

フラッシュメモリセル41はセル2つによって構成されている。読み出しや書き込みの方式は図11で示した実施例と同様である。書き込み時、書き込みデータが”0”であれば2つのメモリセル両者ともにエレクトロンを注入動作はしないし、書き込みデータが”1”であれば2つのメモリセル両者ともエレクトロン注入

動作を行い、それぞれMOSトランジスタ44のしきい値を高くする。

【0084】

読み出し時、2つのメモリセル44から読み出されたデータは、ゲート50により論理和を得る。すなわち、読み出されたデータが"0"と"0"であれば出力する読み出しデータ(read data)は"0"であり、読み出されたデータが"0"と"1", "0"と"1", "1"と"1"の場合には、出力する読み出しデータは"1"である。このようにすることによって、フラッシュメモリセルの1つのフローティング電極に蓄積された電子が酸化膜の欠陥等、なんらかの原因によって抜けてしきい値がさがっても、間違ったデータを出力しないプログラムビットを構成でき、信頼性を高めることができる。

【0085】

また、本実施例においては、読み出しデータ(read data)は、容量に電荷を保持するダイナミックタイプラッチではなく、フリップフロップ回路を用いたスタティックなレジスタ59を用いている（なお、読み出し時にはSET信号は"L"である）。これは、本プログラムビットの読み出しデータは半導体チップに電源が投入されている限りは常に有効でなければならないからである。

【0086】

図14において、51はプログラムビットの境界を示している。また、52はフラッシュメモリセルのゲートとなるNウェル領域、53はP+拡散層領域、54はN+拡散層領域、55はフローティング電極、56はPウェル領域、57はN+拡散層領域、58はスルーゲートTGとなるゲート電極である。レイアウト図に示すようにフローティング電極が2つあっても、フラッシュメモリセルのゲート電極となるNウェル領域52は回路図上共通になるので、Nウェル領域は分断しなくてもよく、最小の面積で2つのフラッシュメモリセルを構成できる。このことは、プログラムビットを多ビット並べる場合も同様である。

【0087】

なお、このような方式の場合でも、プログラムビットの回路規模が大きく、専有面積が増大する問題があるが、トリミングデータに用いる場合には多くのビットが必要なわけではなく、実質的にはチップ面積の増大をほとんどまねくことの

ない大きさにすることが可能である。

【0088】

本実施例に従うと、以下の効果が得られる。

外部端子数および外付け回路を増加させることなく不揮発性メモリへのトリミングデータの書替えが可能となり、これによりチップおよびモジュールの小型化を図ることができるとともに、使用中に電子部品の特性が変化した場合にもトリミングデータを書き替えることができるようになる。

【0089】

また、ユーザプログラムを不揮発性メモリに書き込む処理が不要になるため、不揮発性メモリへの書込みに要する時間を短縮して量産性を高め、製造コストを低減することが可能になるという効果がある。

【0090】

さらに、半導体集積回路がモジュール基板に実装された状態で必要なデータを書き込んだり、システム構成や動作モードが変更になったような場合にもそれに応じてデータを書き替えたりすることができるようになる。

【0091】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、LSI内部に複数の回路ブロックがあって動作モードに応じていずれかあるいは幾つかの回路ブロックの動作を選択的に停止させる場合にも本発明を適用できる。

【0092】

また、本発明は、発振回路の周波数の調整のみならず、LSIに内蔵されている電圧レギュレータやDA変換回路などのアナログ回路の電圧トリミングにも適用することができる。さらに、論理LSIでは、例えばクリティカルパス上に互いに遅延量が異なる複数の遅延回路を設けておいて、テスト結果に応じて信号が通過する遅延回路を適宜選択してタイミングを調整するような場合にも本発明を適用することができる。

【0093】

さらに、前記実施例においては、プログラムを格納する不揮発性メモリとしてマスクROMを使用したか、代わりにフラッシュメモリを使用することも可能である。

【0094】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるブルートゥース通信機能を備えた電子機器とそれを構成する通信用モジュールに適用した場合について説明したが、この発明はそれに限定されるものでなく、ブルートゥース機器と同様に発振回路を有する無線LAN機能を搭載した電子機器さらには有線式の通信システムを構成するモジュールやLSIであって、基板上あるいはLSIチップ内部にトリミングを要する素子が存在するものやモード設定手段を有するものに広く利用することができる。

【0095】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、外部端子数および外付け回路を増加させることなく不揮発性メモリへのトリミングデータの書替えが可能となる。

【図面の簡単な説明】

【図1】

本発明をブルートゥース通信システムに適用した場合のシステム構成例を示すブロック図である。

【図2】

図1に示されているベースバンドLSI内のJTAGインタフェース回路270の具体例を示すブロック図である。

【図3】

マスタ機器とスレーブ機器との間におけるブルートゥースクロックの同期の取り方を示すタイムチャートである。

【図4】

ブルートゥースにより互いにデータ通信可能に接続されたピコネットと呼ばれ

るネットワークの構成例を示す概念図である。

【図 5】

本発明をブルートゥース通信システムを構成するベースバンド L S I に適用した場合の第 2 の実施例を示すブロック図である。

【図 6】

本発明をブルートゥース通信システムを構成するベースバンド L S I に適用した場合の第 3 の実施例を示すブロック図である。

【図 7】

本発明をブルートゥース通信システムを構成するベースバンド L S I に適用した場合の第 4 の実施例を示すブロック図である。

【図 8】

本発明を汎用マイコン L S I に適用した場合の実施例を示すブロック図である。

【図 9】

従来のブルートゥース通信システムの構成例を示すブロック図である。

【図 10】

フラッシュメモリとされた不揮発性メモリ 240 に含まれる複数の不揮発性記憶素子のうちの 1 つの記憶素子 130、外部端子部分 P 6、P 7、P 8 などに結合されたの外部入出力回路及び C P U 220 やベースバンド処理回路 210 などのロジック回路に含まれる n チャネル型の M I S トランジスタの断面構造が概略的図である。

【図 11】

図 10 の不揮発性記憶素子 130 を用いた場合の回路構成を示す。

【図 12】

図 11 の回路の書き込み時と読み出し時の動作波形図である。

【図 13】

プログラムビットの回路図である。

【図 14】

フラッシュメモリセル部のレイアウト図である。

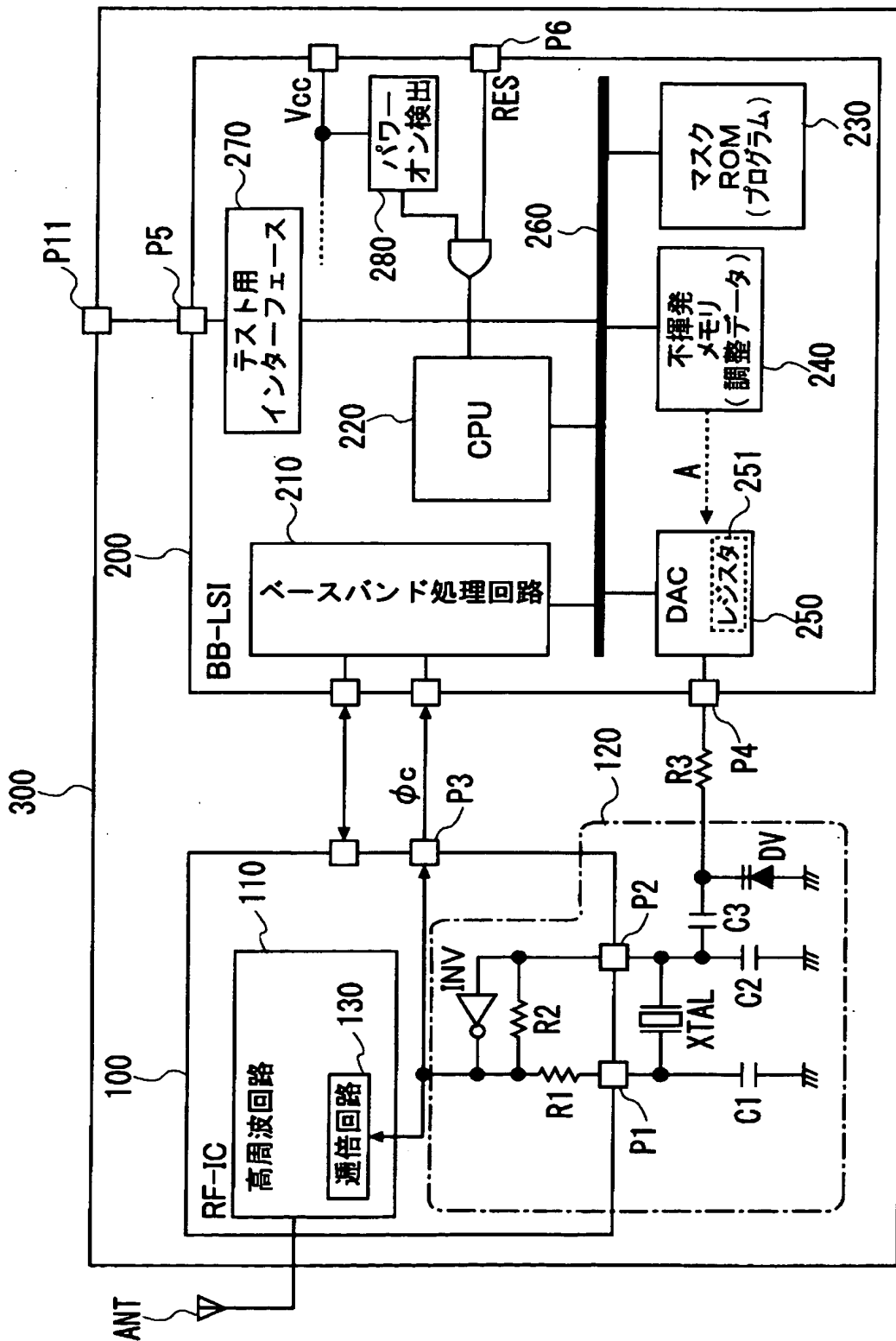
【符号の説明】

- 1 0 0 高周波 I C
- 1 1 0 高周波回路（送受信回路）
- 1 2 0 水晶発振回路
- 1 3 0 通倍回路
- 2 0 0 ベースバンド L S I
- 2 1 0 ベースバンド処理回路
- 2 2 0 制御用マイクロプロセッサ（C P U）
- 2 3 0 プログラム格納用マスク R O M
- 2 4 0 不揮発性メモリ
- 2 5 0 D A 変換回路
- 2 5 1, 2 5 2 レジスタ
- 2 6 0 内部バス
- 2 7 0 テスト用インタフェース回路
- 2 8 0 パワーオン検出回路
- 2 9 0 パラレルーシリアル変換回路
- 3 0 0 通信用モジュール

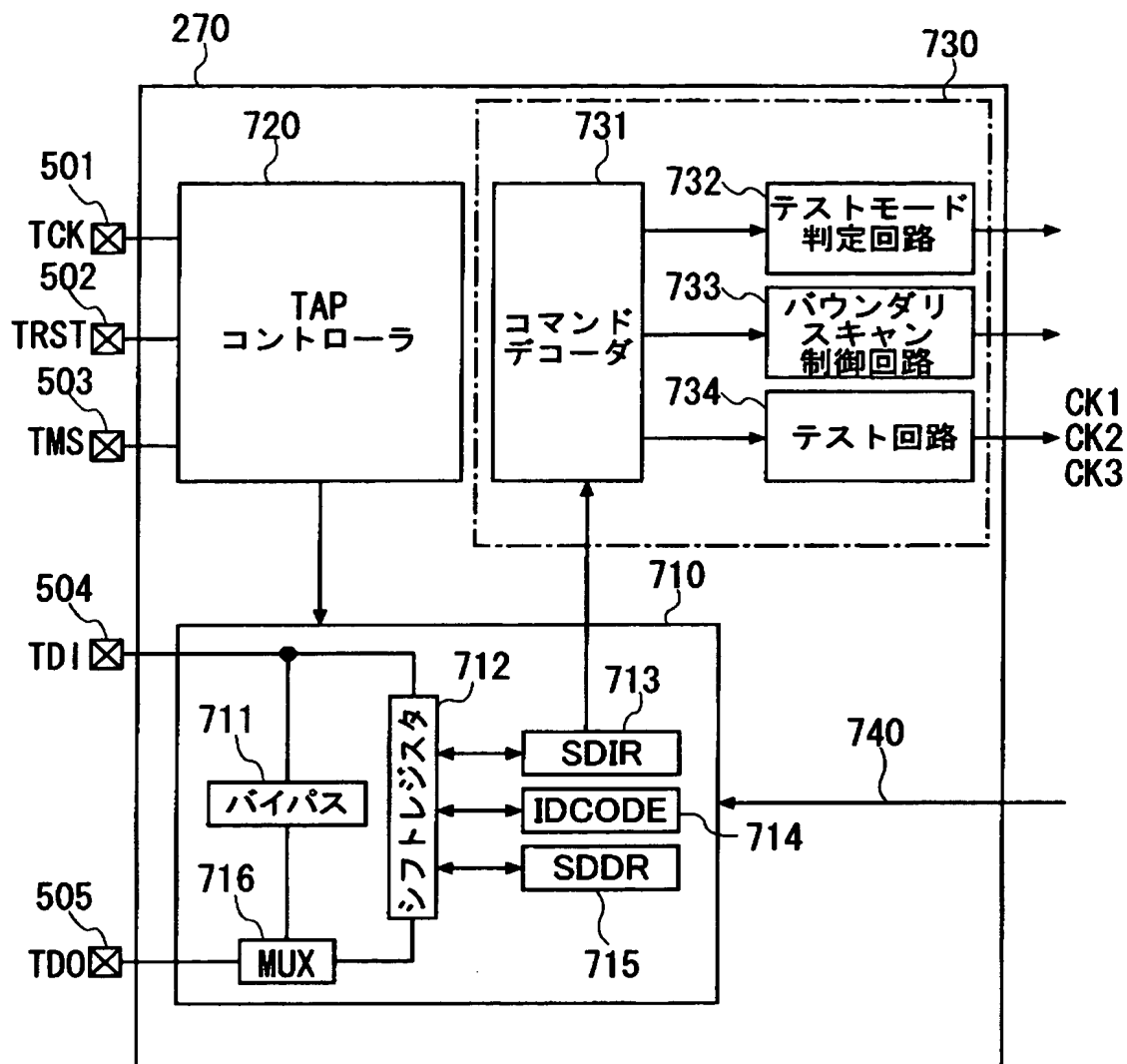
【書類名】

図面

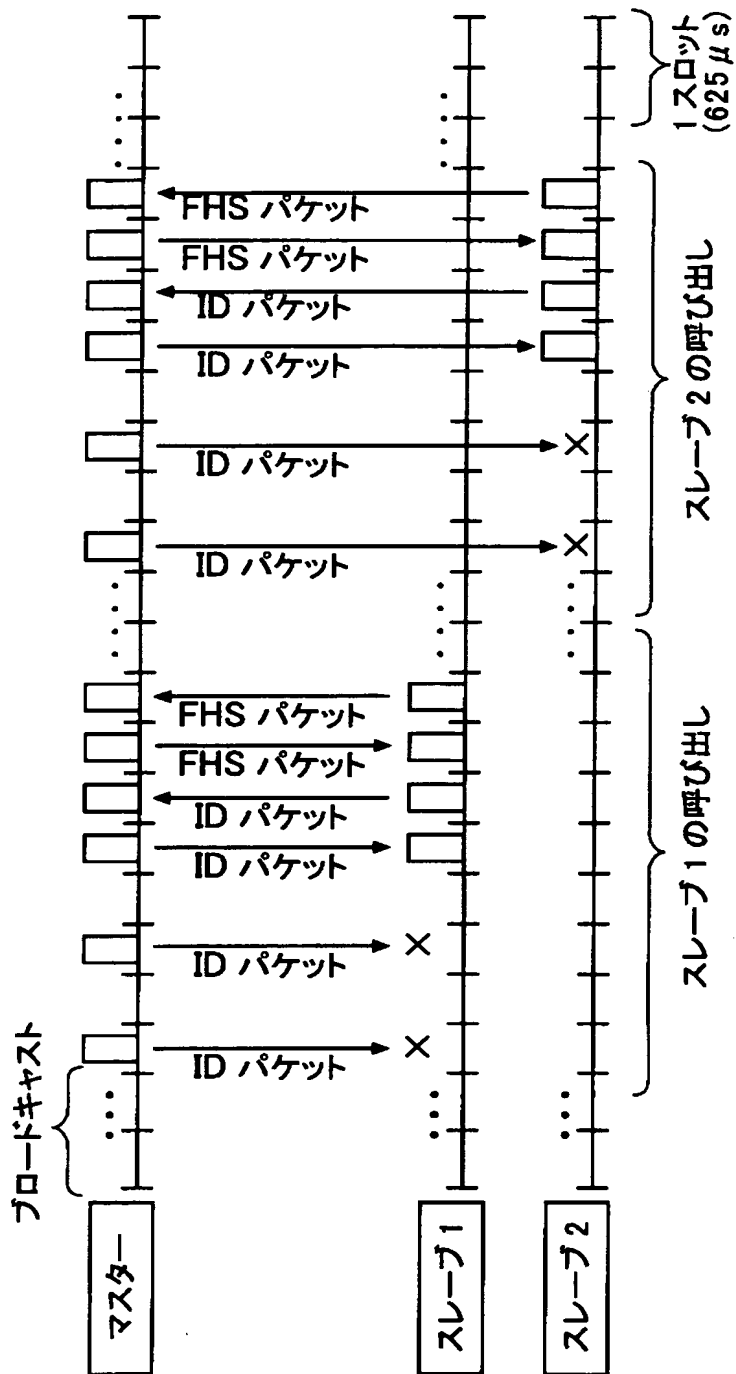
【図1】



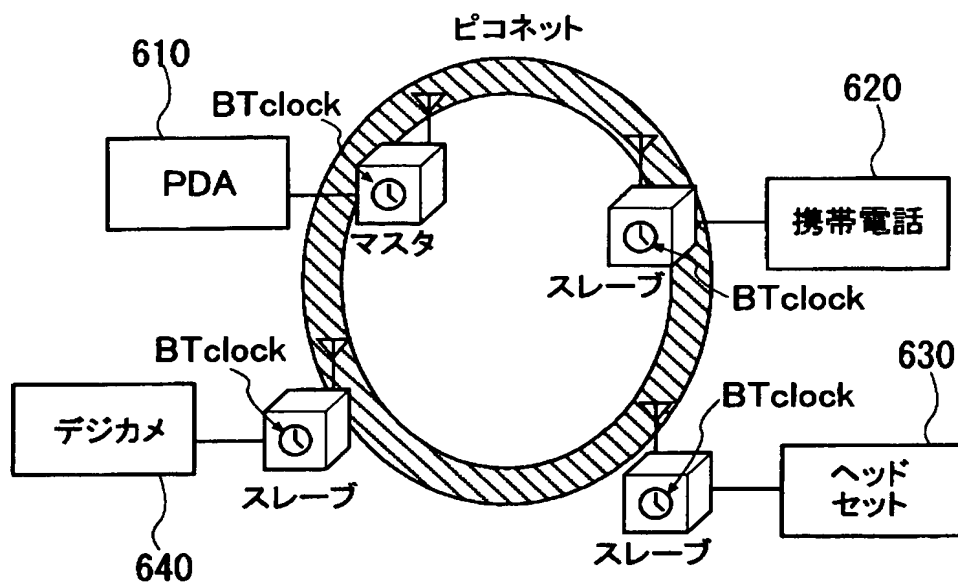
【図 2】



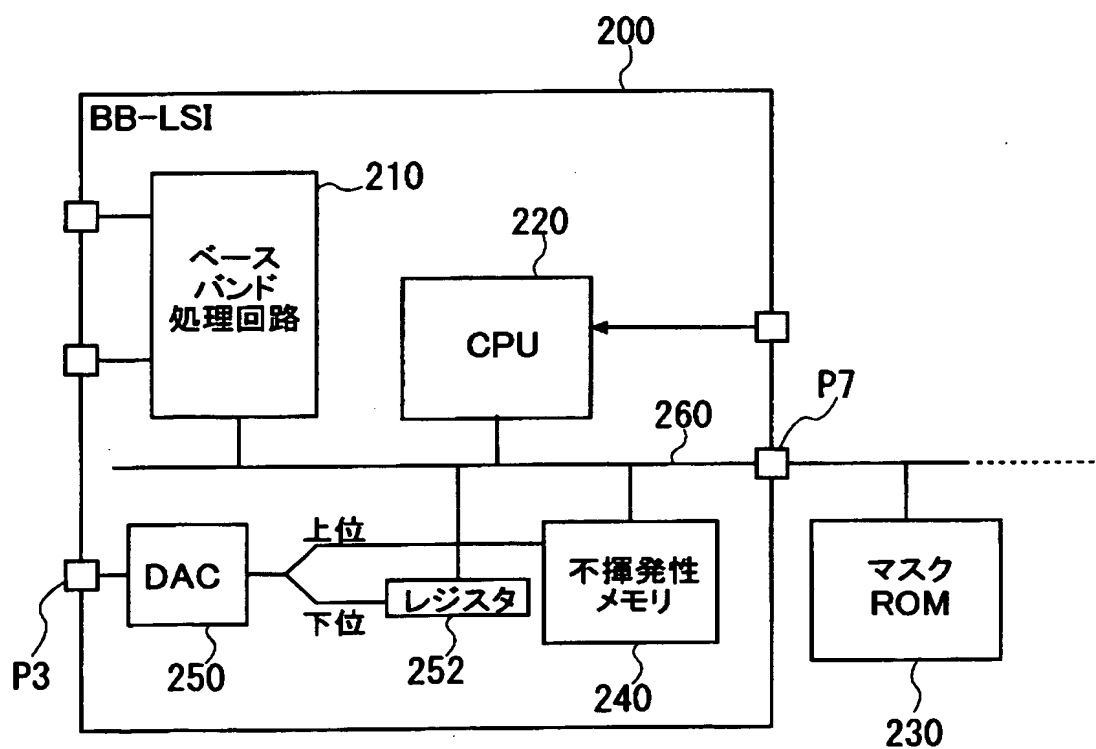
【図 3】



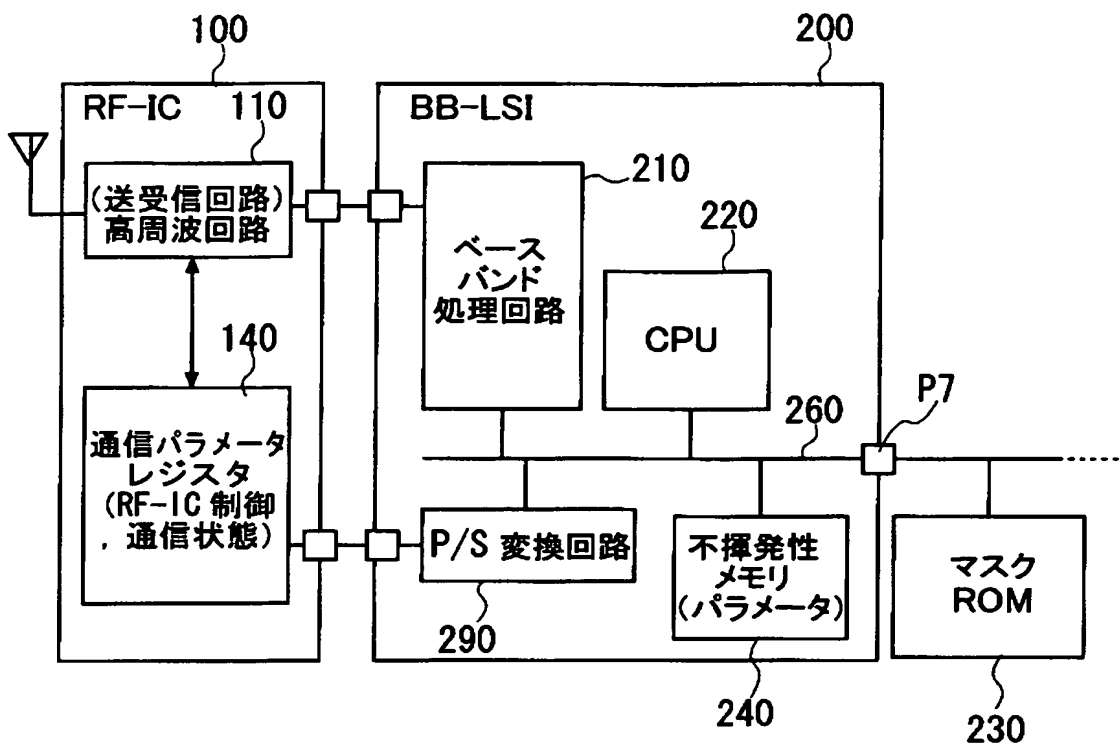
【図 4】



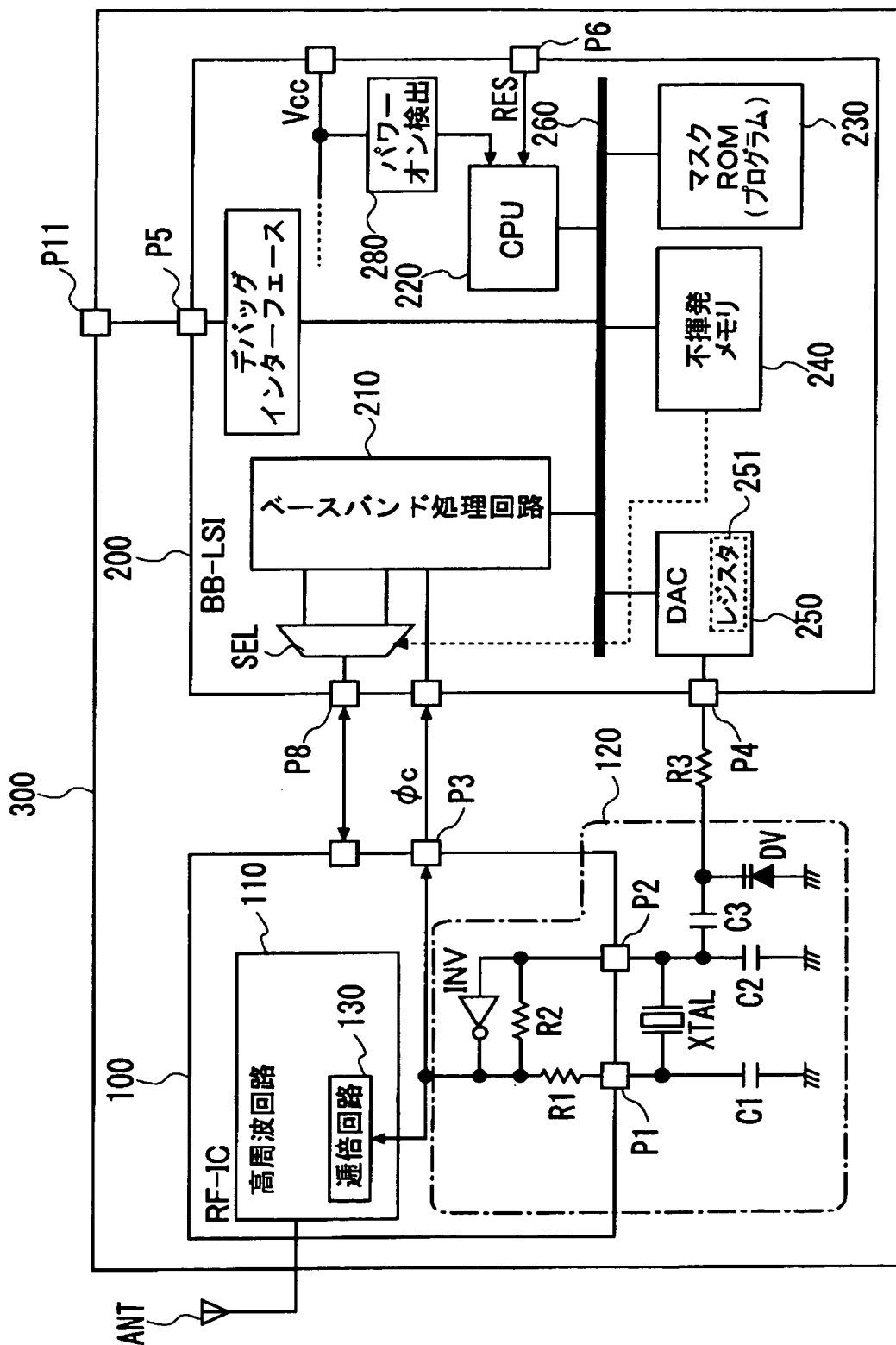
【図 5】



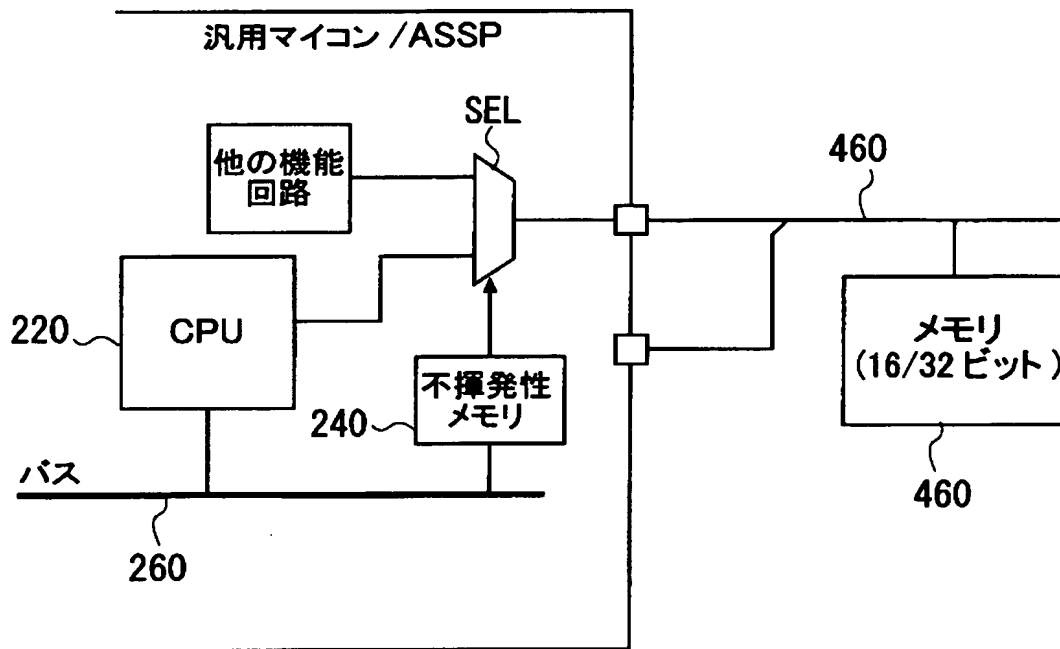
【図 6】



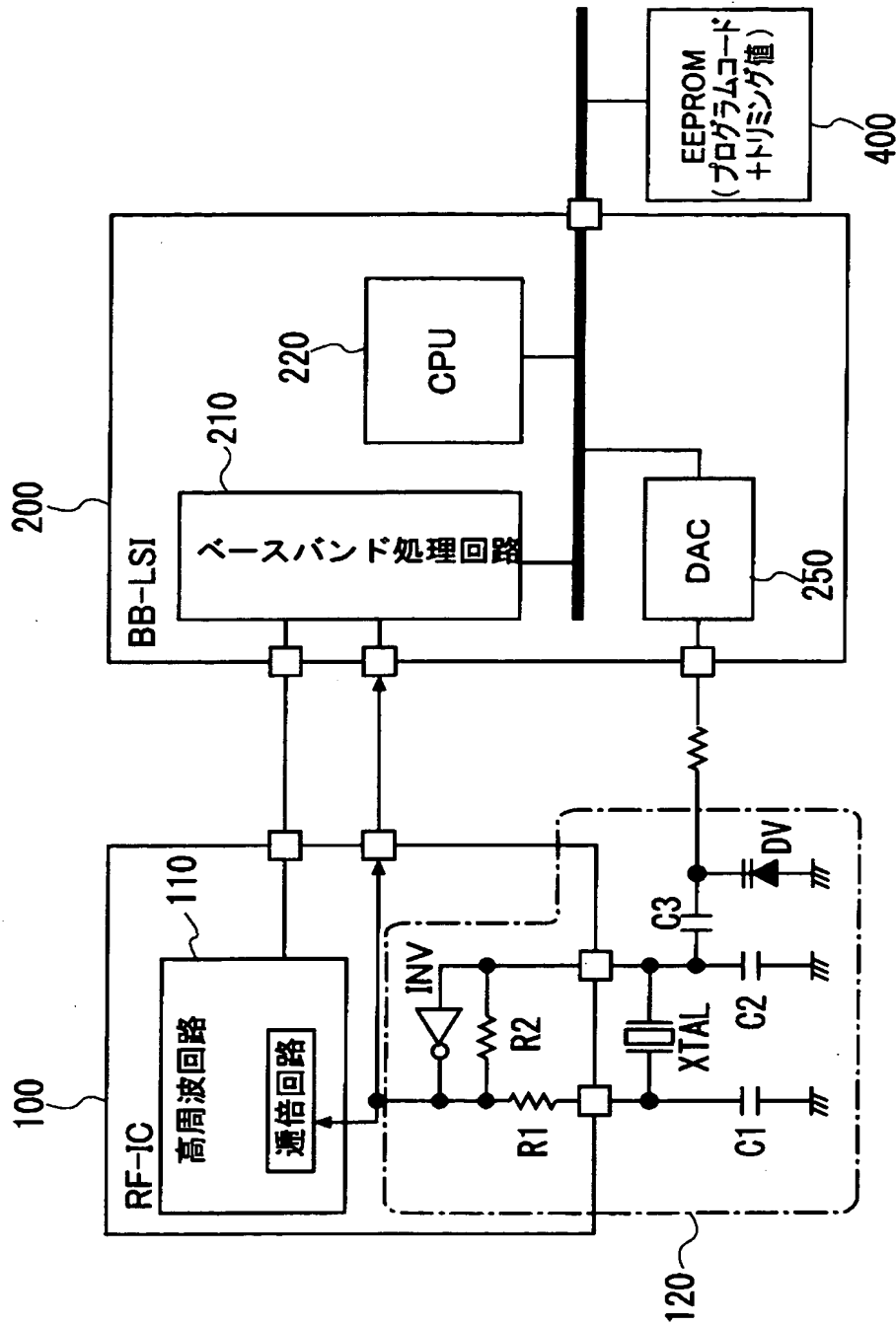
【図 7】



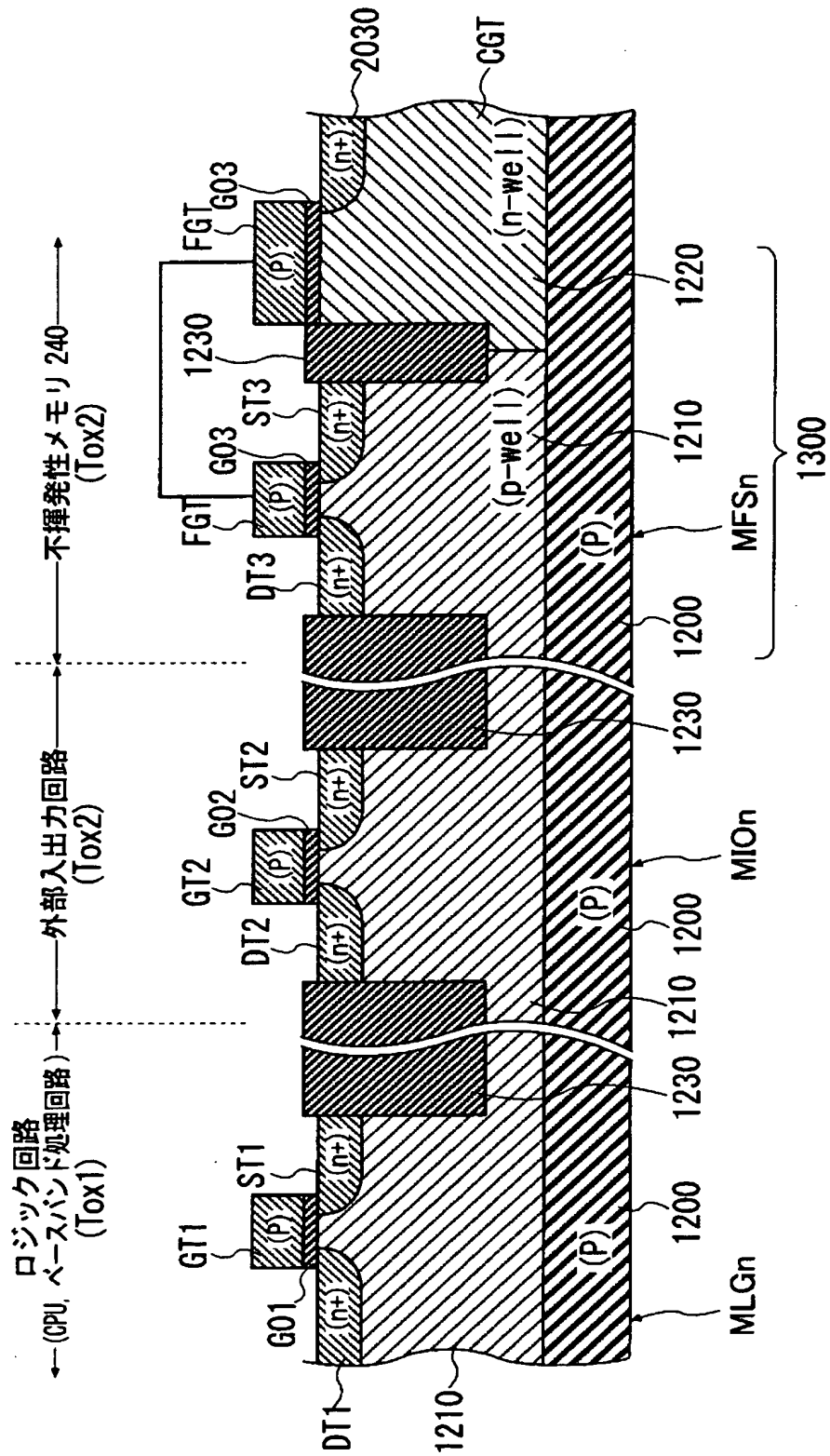
【図 8】



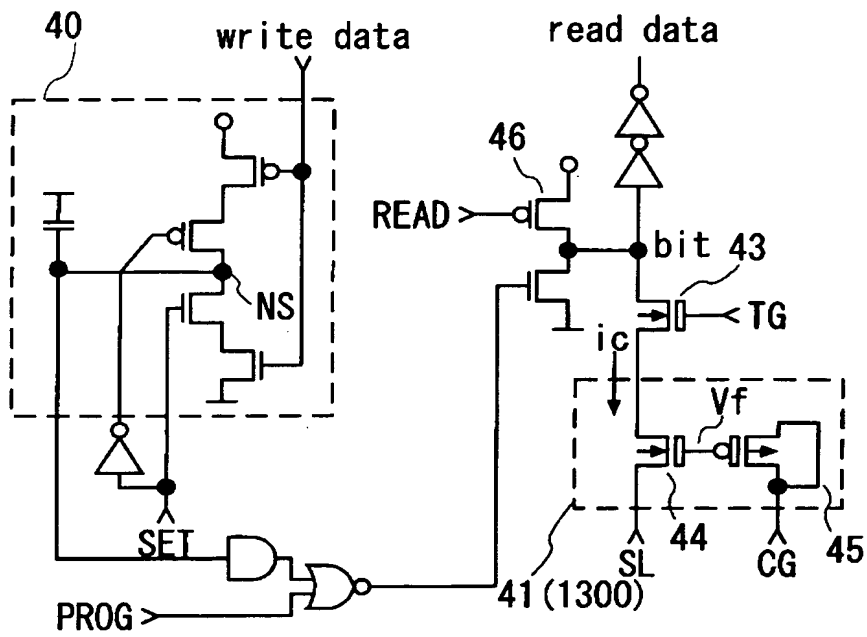
【図 9】



【図 10】

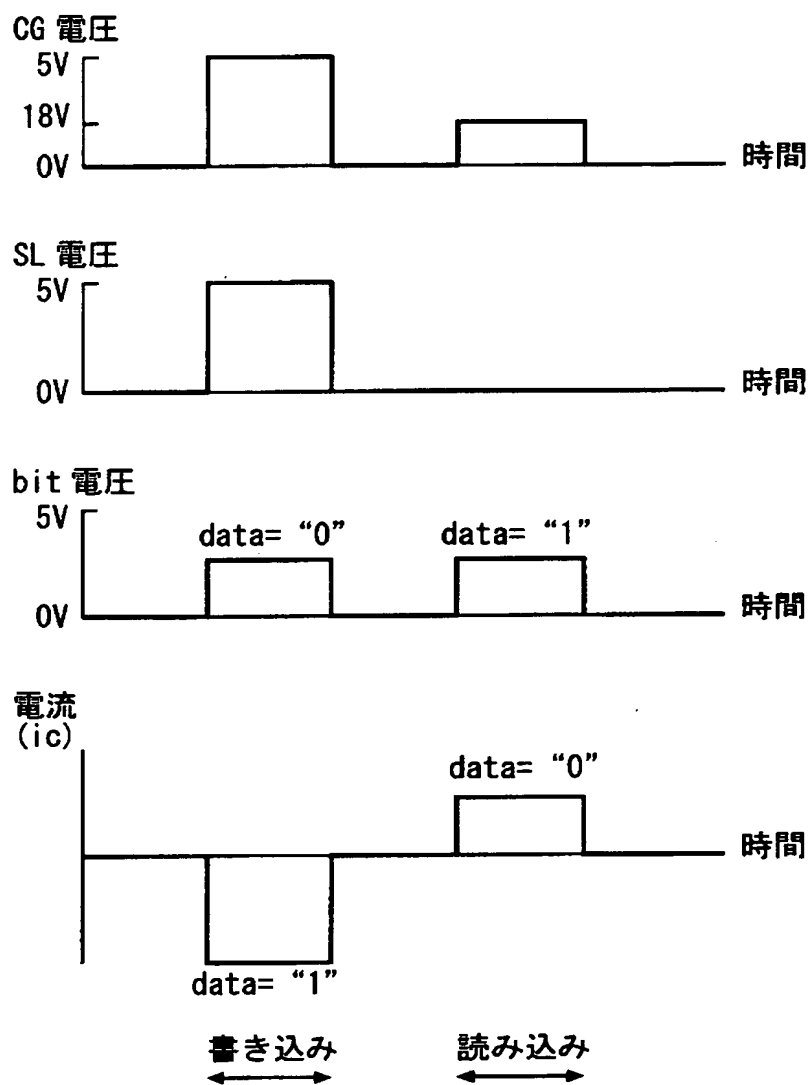


【図 11】

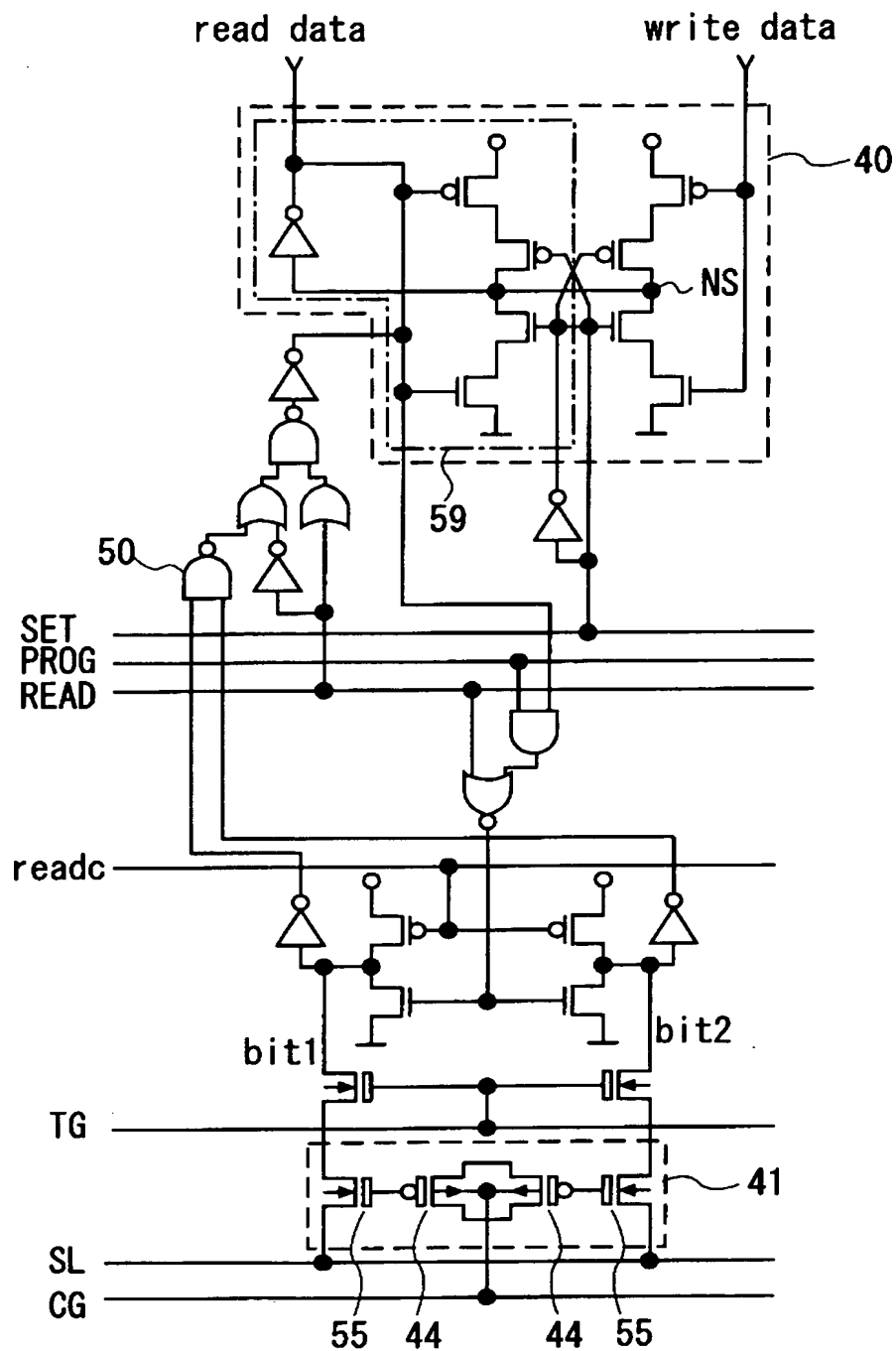


□ PMOS 高耐圧 PMOS □ PMOS 低耐圧
 □ NMOS 高耐圧 NMOS □ NMOS 低耐圧

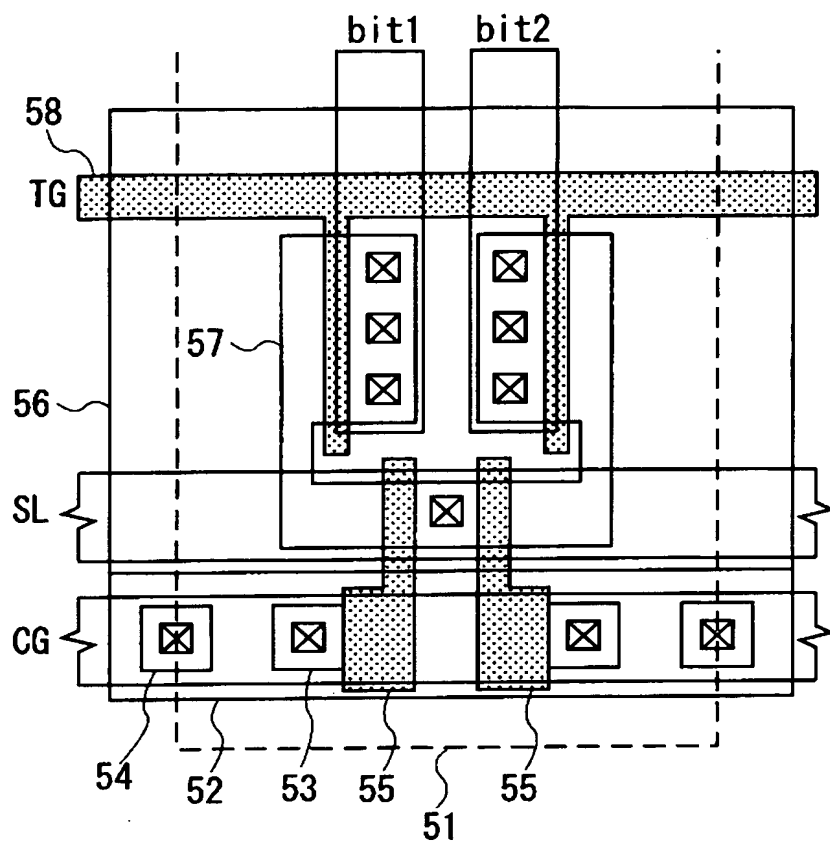
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 外部端子数を増加させることなく不揮発性メモリへのトリミングデータの書込みを可能とし、これによりチップおよびモジュールの小型化を図ることができる通信制御用半導体集積回路およびそれを用いた無線通信システムを提供する。

【解決手段】 半導体集積回路内部に書換え可能な不揮発性メモリ（240）を設け、電子部品（X T A L）を含む回路の特性を測定してその特性のずれを補正するためのトリミングデータを上記不揮発性メモリに記憶させるようにした。また、上記トリミングデータを上記不揮発性メモリへ送って記憶させるための入力ピンおよびインタフェース回路として、テストピンや J T A G インタフェース回路のような半導体集積回路にもともと設けられているピンおよびテスト用インタフェース回路を兼用するようにした。

【選択図】 図 1

認定・付加情報

| | |
|---------|--------------------------|
| 特許出願の番号 | 特願 2 0 0 3 - 1 8 2 2 5 8 |
| 受付番号 | 5 0 3 0 1 0 6 5 4 3 6 |
| 書類名 | 特許願 |
| 担当官 | 第五担当上席 0 0 9 4 |
| 作成日 | 平成 1 5 年 6 月 2 7 日 |

< 認定情報・付加情報 >

| | |
|-------|-------------|
| 【提出日】 | 平成15年 6月26日 |
|-------|-------------|

次頁無



特願 2 0 0 3 - 1 8 2 2 5 8

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ